

1/5/2 (Item 2 from file: 351)  
DIALOG(R)File 351:Derwent WPI  
(c) 2006 Thomson Derwent. All rts. reserv.

012034180 \*\*Image available\*\*  
WPI Acc No: 1998-451090/ 199839  
XRPX Acc No: N98-351998

**SRAM cell for information processing system - has impedance node which is coupled with NFET for performing impedance control**

Patent Assignee: IBM CORP (IBMC ); INT BUSINESS MACHINES CORP (IBMC )

Inventor: LATTIMORE G M; LEASURE T L; YEUNG G W

Number of Countries: 004 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10188570	A	19980721	JP 97330038	A	19971201	199839 B
US 5831896	A	19981103	US 96767772	A	19961217	199851
KR 98063785	A	19981007	KR 9765897	A	19971204	199949
TW 364995	A	19990721	TW 97115873	A	19971027	200031
KR 282382	B	20010402	KR 9765897	A	19971204	200216

Priority Applications (No Type Date): US 96767772 A 19961217

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 10188570	A	9		G11C-011/412	
US 5831896	A			G11C-011/00	
KR 98063785	A			G11C-011/413	
TW 364995	A			G11C-011/34	
KR 282382	B			G11C-011/413	Previous Publ. patent KR 98063785

Abstract (Basic): JP 10188570 A

The cell consists of a PFET (101) which is coupled between predetermined potentials and a node (106). The gate electrode of the PFET (101) is coupled by a node (107). An NFET (102) is coupled between ground and the node (107). The gate electrode of the NFET (102) is coupled by the node (107). The PFET (103) is coupled between predetermined potentials and the node (107). The gate electrode of the PFET (103) is coupled by the node (106).

The read-write operation is performed by using a bit-line (110) with a wordline reading signal (111) and a word-line write-in signal (113). An NFET (104) is coupled between the node (107) and an impedance node (112) by which an impedance control is performed.

ADVANTAGE - Performs write-in operation into memory cell by using single bit line.

Dwg.1/12

Title Terms: SRAM; CELL; INFORMATION; PROCESS; SYSTEM; IMPEDANCE; NODE; COUPLE; PERFORMANCE; IMPEDANCE; CONTROL

Derwent Class: U13; U14

International Patent Class (Main): G11C-011/00; G11C-011/34; G11C-011/412; G11C-011/413

File Segment: EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

新開平10-188570

(43)公開日 平成10年(1998)7月21日

(51) Int.Cl.<sup>6</sup>

識別記号

F I  
G 11 C 11/40

301

審査請求 未請求 請求項の数12 Q.I. (全 9 頁)

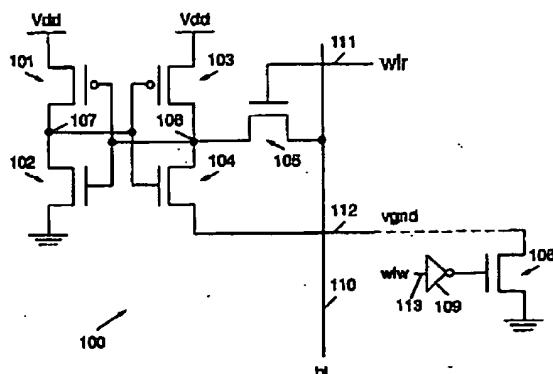
(21)出願番号	特願平9-330038	(71)出願人	390009531 インターナショナル・ビジネス・コーポレイション INTERNATIONAL BUSINESS MASCHINES CORPORATION アメリカ合衆国10504、ニューヨーク州 アーモンク（番地なし）
(22)出願日	平成9年(1997)12月1日	(72)発明者	ジョージ・エム・ラティモア アメリカ合衆国78750 テキサス州オース チン ウエスター・カーカー・ドライブ 9108
(31)優先権主張番号	08/767772	(74)代理人	弁理士 坂口 博 (外1名)
(32)優先日	1996年12月17日		
(33)優先権主張国	米国(US)		

(54) 【発明の名称】 メモリ・セル

(57)【要約】

【課題】 シングルエンディッド・スタティック・ランダム・アクセス・メモリ (SRAM) セルである 5 トランジスタ・メモリ・セルを提供する。

【解決手段】 セルからの読み書きは、ワード線読取り信号 111 およびワード線書込み信号 113 とともに 1 つのビット線 110 を用いることによって実現される。メモリ・セル内のトランジスタの 1つ 104 は、アースに直接結合されているわけではなく、インピーダンス制御されるノード v g n d 112 に結合されている。このため、影響を受けるトランジスタはアースと高インピーダンス状態との間で浮動することができ、それにより、1 つのビット線でメモリ・セルへの書き込みを行うことができる。



## 【特許請求の範囲】

【請求項1】複数のデバイスを含むメモリ・セルにおいて、前記デバイスの1つがインピーダンス制御されるノードに結合されることを特徴とするメモリ・セル。

【請求項2】前記メモリ・セルが、所定の電位と第1のノードとの間に結合された第1のP F E Tであって、前記第1のP F E Tのゲート電極が第2のノードに結合される第1のP F E Tと、アースと前記第1のノードとの間に結合された第1のN F E Tであって、前記第1のN F E Tのゲート電極が前記第2のノードに結合される第1のN F E Tと、前記電位と前記第2のノードとの間に結合された第2のP F E Tであって、前記第2のP F E Tのゲート電極が前記第1のノードに結合される第2のP F E Tとを含み、前記デバイスの前記1つが前記第2のノードと前記インピーダンス制御されるノードとの間に結合された第2のN F E Tであることを特徴とする、請求項1に記載のメモリ・セル。

【請求項3】前記インピーダンス制御されるノードが、アースと前記第2のN F E Tとの間に結合されたN F E Tによって実現されることを特徴とする、請求項2に記載のメモリ・セル。

【請求項4】前記インピーダンス制御されるノードが、アースと前記デバイスの前記1つの間に結合されたN F E Tによって実現され、前記メモリ・セルが記憶アレイ内の他のメモリ・セルと前記N F E Tを共用することを特徴とする、請求項1または2に記載のメモリ・セル。

【請求項5】前記メモリ・セルが、第1の電位と第1のノードとの間に結合された第1のP F E Tであって、前記第1のP F E Tのゲート電極が第2のノードに結合される第1のP F E Tと、第2の電位と前記第1のノードとの間に結合された第1のN F E Tであって、前記第1のN F E Tのゲート電極が前記第2のノードに結合される第1のN F E Tと、前記第1の電位と前記第2のノードとの間に結合された第2のP F E Tであって、前記第2のP F E Tのゲート電極が前記第1のノードに結合される第2のP F E Tと、

前記インピーダンス制御されるノードと前記第2のノードとの間に結合された第2のN F E Tと、対応する複数のビット線と前記第2のノードとの間に結合された複数のバス・ゲートとをさらに含み、前記メモリ・セルへの書き込み動作中に前記第2のN F E Tが高インピーダンス状態になることを特徴とする、請求項1に記載のメモリ・セル。

【請求項6】複数のデバイスを含むメモリ・セルにおいて、前記デバイスの1つが、前記メモリ・セルへの書き込みのために高インピーダンス状態に切り替わることを特

徴とするメモリ・セル。

【請求項7】第1のノードに結合された第1のデバイスであって、前記第1のデバイスの制御端子が第2のノードに結合される第1のデバイスと、前記第1のノードに結合された第2のデバイスであって、前記第2のデバイスの制御端子が前記第2のノードに結合される第2のデバイスと、前記第2のノードに結合された第3のデバイスであって、前記第3のデバイスの制御端子が前記第1のノードに結合される第3のデバイスとをさらに含み、前記デバイスの前記1つが、前記第2のノードに結合された第4のデバイスからなり、前記メモリ・セルが、ビット線と前記第2のノードとの間に結合されたバス・ゲートをさらに含み、前記メモリ・セルへの書き込み動作中に前記第4のデバイスが前記高インピーダンス状態になることを特徴とする、請求項6に記載のメモリ・セル。

【請求項8】複数のメモリ・セルを含み、前記複数のメモリ・セルのそれぞれが複数のデバイスを含み、前記デバイスの1つが前記メモリ・セルへの書き込みのために高インピーダンス状態に切り替わることを特徴とするメモリ装置。

【請求項9】前記複数のメモリ・セルのそれぞれが、第1の電位と第1のノードとの間に結合された第1のP F E Tであって、前記第1のP F E Tのゲート電極が第2のノードに結合される第1のP F E Tと、第2の電位と前記第1のノードとの間に結合された第1のN F E Tであって、前記第1のN F E Tのゲート電極が前記第2のノードに結合される第1のN F E Tと、前記第1の電位と前記第2のノードとの間に結合された第2のP F E Tであって、前記第2のP F E Tのゲート電極が前記第1のノードに結合される第2のP F E Tと、

前記第2のノードに結合された第2のN F E Tと、ビット線と前記第2のノードとの間に結合されたバス・ゲートとを含み、前記メモリ・セルへの書き込み動作中に前記第2のN F E Tが高インピーダンス状態になることを特徴とする、請求項8に記載のメモリ装置。

【請求項10】前記複数のメモリ・セルのそれぞれが唯一のビット線によってアクセス可能であることを特徴とする、請求項9に記載のメモリ装置。

【請求項11】前記第2の電位と前記第2のN F E Tとの間に結合された第3のN F E Tをさらに含み、前記書き込み動作中に前記第3のN F E Tがオフになることを特徴とする、請求項9に記載の装置。

【請求項12】前記第3のN F E Tが前記複数のメモリ・セル間で共用されることを特徴とする、請求項11に記載の装置。

【発明の詳細な説明】

【0001】関連出願の相互参照

本発明は、「SINGLE END STATIC RAM CELL INCLUDING D

YNAMIC VOLTAGE CONTROL DEVICE」という名称の同時係属米国特許出願第717575号に関連するが、同特許出願は参考により本明細書に組み込まれる。

#### 【0002】

【発明の属する技術分野】本発明は、一般的には、記憶システムおよび情報処理システムで使用するためのメモリ・セルに関し、より具体的には、スタッフィック・ランダム・アクセス・メモリ用のメモリ・セルに関する。

#### 【0003】

【従来の技術】超小型電子回路を設計する際の目標の1つは、メモリ格納などの特定の機能を実現するために必要な面積を低減することである。さらに、特定の機能を実現するために必要なシリコンが減少すると、電力消費や熱放散も節約される可能性がある。

【0004】現在開発中のソフトウェアの場合、このようなソフトウェア・プログラムを適切かつ効率よく実行するために、コンピュータ・システムはより多くのメモリ・システムを必要とする。その結果、メモリ・システムが集積回路（「チップ」）上の大量の面積を占める場合が多い。

【0005】このようなメモリ・システムは、スタッフィック・ランダム・アクセス・メモリ（「SRAM」）を使用する場合が多い。デュアル・レールSRAMセルは従来技術で周知のものである。図7は、標準設計を有する従来技術のSRAMセル700を示している。各SRAMセル700は、1つのビット線713とその補ビット線712を必要とする。セル700はビット線713と補ビット線712との差異に基づいて動作する。プリチャージ・トランジスタ720はビット線713をプリチャージし、プリチャージ・トランジスタ708は補ビット線712をプリチャージする。制御トランジスタ716は、交差結合されたインバータ724および726から形成されるラッチに補ビット線712からのデータをゲートする。トランジスタ730は、インバータ724および726から形成されるラッチとビット線713との間の接続を制御する。トランジスタ714は書き込み許可制御トランジスタである。トランジスタ710は補ビット線712用の書き込み許可制御トランジスタである。セル700の出力は、情報処理システムによる使用のために記憶アレイ（図示せず）から標準レベルでのデータの伝送のためにセンス・アンプ（図示せず）に接続される。

#### 【0006】

【発明が解決しようとする課題】上記の従来技術のSRAMセル700は、チップ上のある量のスペースを必要とし、その製造時およびその動作時に所定の量のエネルギーを使用する。したがって、当技術分野が必要なものは、より単純な設計のSRAMセルである。

#### 【0007】

【課題を解決するための手段】上記の必要性は本発明に

よって対処するが、本発明は、記憶セル・デバイスの1つがインピーダンス制御されるノードに接続される、改良されたシングルエンデッドSRAMセルを提供する。インピーダンス制御のノードを実現するデバイスは、1組のメモリ・セル・セット全体の間で共用される。

【0008】1つの形式では、本発明は、(1)第1の電位と第1のノードとの間に結合された第1のトランジスタであって、第1のトランジスタのゲート電極が第2のノードに結合される第1のトランジスタと、(2)第2の電位と第1のノードとの間に結合された第2のトランジスタであって、第2のトランジスタのゲート電極が第2のノードに結合される第2のトランジスタと、

(3)第1の電位と第2のノードとの間に結合された第3のトランジスタであって、第3のトランジスタのゲート電極が第1のノードに結合される第3のトランジスタと、(4)第2のノードに結合された第4のトランジスタと、(5)ビット線と第2のノードとの間に結合されたバス・ゲートであって、メモリ・セルへの書き込み動作中に第4のトランジスタが高インピーダンス状態に入るバス・ゲートとを含むメモリ・セルを含む。

【0009】本発明の利点の1つは、ダブルエンデッドSRAMセルを実現するために典型的な6つのトランジスタが必要であるのとは対照的に、実現するために5つのトランジスタだけが必要であることである。薄膜トランジスタまたは負荷抵抗器でP F E Tを置き換えることができることは、SRAM設計では周知のことである。負荷抵抗器を使用してセル内のP F E Tを置き換える場合、セルは3つのトランジスタだけで実現することができる。

【0010】本発明の他の利点は、実現するために潜在的に必要なシリコンが削減されることである。

【0011】本発明のさらに他の利点は、他のシングルエンデッドSRAMセルと比較した場合、SRAMセルに書き込むためのより信頼性の高い方法を提供することである。

【0012】本発明のさらに他の利点は、その単純化した設計により、その製造時およびその動作時に必要なエネルギーが減少し、その結果、放散する熱が減少する可能性があることである。

#### 【0013】

【発明の実施の形態】以下の説明では、本発明を完全に理解できるようにするために、特定のワード長またはバイト長など、いくつかの具体的な詳細について示す。しかし、このような具体的な詳細がなくても本発明が実施できることは、当業者に明らかになるだろう。その他の例では、本発明を不必要なほど詳細に示して不明確にしないようにするため、周知の回路がブロック図で示されている。ほとんどの部分については、タイミング上の考慮事項などに関する詳細は省略されている。というのは、このような詳細は、本発明を完全に理解させるためには

不要であり、関連技術分野で通常の技能を有する人の技能の範囲内であるからである。

【0014】次に添付図面を参照するが、図示の要素は必ずしも一定の尺度で示されておらず、同じかまたは同様の要素は複数の図にわたって同一参照番号で示す。

【0015】図1を参照すると、同図には、本発明により構成されたSRAMセル100が示されている。SRAMセル100は5つのトランジスタ101～105のみを含む。メモリ・セル100は図7に示す従来技術のメモリ・セル700と比較するべきものであり、このメモリ・セル700は実現するために6つのトランジスタを必要とする（インバータ724および726を実現するために必要な4つのトランジスタと、トランジスタ716および730）。しかも、従来技術のシングルエンデッドSRAMセル900（図9を参照）と比較すると、SRAMセル100はサイズが10～15%小さくなっているが、パフォーマンスの損失は一切ない。さらに、従来技術のシングルエンデッドSRAMセル800（図8を参照）と比較すると、SRAMセル100の方が動作速度が高くなっている。また、従来のデュアル・レール6デバイスSRAMセル700に比べ、電位も節約される。プロセッサに結合された1次または2次キャッシュなど、典型的なメモリ・サブシステム（図5を参照）はチップの相当な部分を占める可能性があるので、SRAMセル100はシリコン表面積をかなり節約することができる。

【0016】以下の説明では、トランジスタ101および103はP型電界効果トランジスタ（「PFET」）であり、トランジスタ102、104、105、108はn型FET（「NFET」）である。

【0017】図7の従来技術のSRAMセル700には、2本のビット線712および713と、2つのバス・ゲート716および730が存在する。SRAMセル700には、バス・ゲート716および730を介して真データと補データが書き込まれる。これが必要になるのは、NFETバス・ゲートが論理「0」の場合は良好導体であるが、論理「1」の場合は不良導体になるからである。

【0018】SRAMセル800（図8を参照）には、1つのバス・ゲートNFET805のみ存在する。書き込み動作中、バス・ゲート805は論理「1」または論理「0」のいずれか一方をセル800内に転送する必要がある。NFET805は完全論理「0」を転送することができるので、セル800への論理「0」の書き込みは問題にならない。しかし、論理「1」の書き込みでは、バス・ゲート805が、論理「1」を転送し、NFET804に格納されているものに上書きする必要がある。セル800などの任意のメモリ・セルでは、書き込み動作中に十分な安定性を提供するためにNFET804の方がNFET805より大きくなっているが、そうでない場合

は、セル800が読み取り動作中にビット線（b1.）810によって上書きされる可能性がある。しかも、NFET804および805はどちらも面積を最小限にするために小さくなっている。したがって、論理「1」を確実にメモリ・セル800に書き込めるようにNFET805のサイズを大きくすることは望ましくない。書き込み動作の正確さを確保するためにサイクル時間は低速になっている。SRAMセル900（図9を参照）には、1つのバス・ゲート905のみ存在するが、リセット・トランジスタ901が追加されている。書き込み動作の前に、リセット・トランジスタ901はオンになり、論理「1」を格納する。セル900のリセット後、論理「0」をセル900に書き込むことができる。しかし、この手法の問題は、それにより面積と重要タイミングが増大することである。論理「1」をセル100に書き込む際のこの問題を克服するため、本発明ではセル100に書き込むための新しい手法を提供する。

【0019】本発明のNFET104は、NFET102のようにアースに直接結合されているわけではない。その代わりに、インビーダンス制御されるノード（v<sub>gnd</sub>）112に接続されている。v<sub>gnd</sub>112はNFET108によって制御される。NFET108は1組のメモリ・セル・セット全体（この例では18ビット）の間で共用されるので、アレイ全体に相当な面積を追加することはない（図2を参照）。メモリ・セル100は単一ビット線110（シングルエンデッドの読み取りおよび書き込み）を駆動するので、リップル・アレイ構成またはその他のシングルエンデッドの応用例で有利に使用することができる（図5を参照、多くのセンス・アンプはデュアル・レール・データを必要とする）。

【0020】図2を参照すると、同図には、複数のSRAMセル100を使用したメモリ・アレイが示されており、NFET108は1組のビット・セットに沿って存在するメモリ・セル100によって共用される。

【0021】図1に戻って参照すると、読み取り／書き込み動作の前にビット線110がハイにプリチャージされる。読み取り動作時には、ワード線読み取り（wlr）111が選択され、ワード線書き込み（wlw）113はローに維持されるが、これは後述する書き込み動作を除くすべての状況におけるwlwの状態である。書き込み動作中を除き、NFET108は、通常、動作可能になっている。メモリ・セル100が論理「1」を格納していると想定する。PFET103はNFET105を介して論理「1」をビット線110に駆動する。その結果、ビット線110は放電されない。メモリ・セル100が論理「0」を格納している場合、NFET104はNFET104を介してビット線110をv<sub>gnd</sub>112に放電する。NFET108はオンなので、ビット線110は論理「0」に放電される。

【0022】書き込み動作の場合、2つのステップが行わ

れるが、これについては図3にさらに示す。第1のステップでは、ワード線書込みw1w113とワード線読取りw1r111はそれぞれ論理「1」に切り替わる。これにより、NFET108がオフになるので、NFET104が動作不能になる（これは論理「0」を駆動することはできない）。論理「0」を書き込むために、ビット線110はローに駆動される。論理「0」はNFET105によりメモリ・セル100内に渡される。PFET101はオンになり、NFET104はオンになる。しかし、NFET104はアースに接続されていないので、メモリ・セル100に書き込まれたばかりのデータは不安定状態に保持される。ステップ2では、ワード線書込みw1w113は論理「0」に切り替えられるが、ワード線読取りw1r111はハイのままになる。これにより、NFET108はオンになり、したがって、NFET104は動作可能になる。NFET104はノード106を完全に放電し、交差結合インバータ回路を完成する。論理「0」はセル100に格納される。

【0023】論理「1」の書き込みはこれと同じステップを使用する。ビット線110は論理「1」に駆動される。ワード線書込み113とワード線読取り111はどうやらも論理「1」に切り替わる。擬似論理「1」(VDD-Vt)はNFET105によりメモリ・セル100内に渡される。NFET104はアースされていないので、放電することができず、したがって、NFET105と「争う」ことはない。NFET102はオンになり、PFET101は「わずかに」オンに切り替わることができ。通常の設計では、NFET102はPFET101よりかなり強く働くので、ノード107はローになり、PFET103がオンになる。PFET103がオンになると、ただちにノード106が完全VDDレベルまで引っ張られ、PFET101がオフになる。次にワード線書込み113はオフになるが、ワード線読取り111はハイのままになる。NFET108はオンになるが、NFET104はオフになる。その結果、論理「1」がセル100に格納される。

【0024】NFET104と108との間のノード112が浮動できるようになっているので、本発明による回路への書き込みはより容易になっている。NFET108はw1w113によってオフになるので、インピーダンス制御されるノード112はアースから高インピーダンスまで浮動することができる。この状態の間、電流はNFET104を流れることができない。

【0025】メモリ・セル100が読み取り動作中に安定状態を維持するように、NFET104と105のサイズ間に所与の割合（ソースとドレインとの間の幅）を維持することが望ましい。NFET回路に余分なデバイスが追加されるので、その割合を増加することが必要である。十分な余裕を備えるために、割合は3Xまで増加することができる。これにより、安定性の余裕が改善され

る。しかし、このために面積が増加することになる。面積を最小限にするため、NFET105は最小サイズに維持することができる。パフォーマンスを維持する（または上昇させる）ため、NFET108は面積が許す限り大きなものになっている。NFET108を共用することにより、メモリ・セル100のパフォーマンスを上昇させながら、面積が最小限になる。しかも、NFET108は、v g n d 112での「アースの跳ね返り(ground bounce)」を低減するために十分な大きさでなければならない。

【0026】図2内に特に示し、図4にさらに示すように、面積を最小限にするために、NFET108は1組のビット・セット間で共用される。NFET108は複数のセット間のギャップ・セル領域401内につくられるが、これは電力バス接続のために必要なものである。アレイ504はこのような構成を実現するものである。各ギャップ・セル401は、アース、VDD、結合したNウェル、NFET108用である。

【0027】アクセス時間が高速で、複数ユニットが同時にデータを要求している場合、1つのメモリ・セルに対して複数のアクセス・ポートが必要になる場合がある。複数アクセス・ポートの場合、ビット線を復元するために停止せずに複数アクセスを実行することができる。図10に示す従来のデュアルレール・マルチポートSRAMセル1000には、各「ポート」ごとに2つのビット線(b1)と2つのバス・ゲートが存在し、各「ポート」は2つのアクセス・トランジスタを必要とする。真データと補データは2つのバス・ゲートによりセル1000に書き込まれる。これが必要になるのは、NFETバス・ゲートが論理「0」の場合は良好導体であるが、論理「1」の場合は不良導体になるからである。

【0028】次に図11を参照すると、同図には従来技術のマルチポートSRAMセル1100が示されているが、これはセル1100への複数アクセスのために1つのプロセッサ内の複数のユニットに結合することができる。書き込み許可信号(weバー)を受け取ると、いずれか1つのユニットは、信号w1w(0)、w1w(1)、…、w1w(n-1)のうちの1つを用いてセル1100に書き込むことができる。同様に、セル1100からの複数読取りは、信号w1r(0)、w1r(1)、…、w1r(n-1)とビット線b1(0)、b1(1)、…、b1(n-1)のうちの1つまたは複数を用いて行うことができる。

【0029】メモリ・セル1000および1100に関する問題は、非常に多くのシリコンを消費し、実現するために非常に多くの経路指定線を必要とすることである。

【0030】次に図13を参照すると、同図にはメモリ・セル1300が示されているが、これはメモリ・セル100と同様に、本発明により構成されたシングルエン

デッド・マルチポートSRAMメモリ・セルである。デバイス1301～1305はデバイス101～105と同様に動作する。同様に、デバイス1308および1309はデバイス108および109と同様に動作する。セル1300には、それぞれのワード線読取り(w1r)1311、1322、1323(ポート)ごとに1つのバス・ゲート1305、1320、1321のみが存在する。メモリ・セル100の場合と同様に、信号はノード1306からデバイス1304を通過して流れるので、メモリ・セル内に論理「1」を転送することは問題になる可能性がある。この問題を解決するため、メモリ・セル100の場合と同様に、ノード1312は、wlw1313に結合されたデバイス1308および1309の使用によりアース電位と高インピーダンス状態との間で浮遊することができる。この点については、マルチポート・セル1300の動作はセル100と同様である。

【0031】次に図5を参照すると、同図にはメモリ・セル504が示されているが、これは本発明によるメモリ・セル100によって実現することができる。メモリ・セル504へのアクセスは、入出力回路508とともにワード線デコーダ502およびビット線デコーダ506を使用して行われる。上記の態様を実施するメモリ・サブシステム500は、1次または2次を問わず、中央演算処理装置(「CPU」)610に結合されたキャッシュ・メモリにすることができる。当業者であれば、図1～3に関連して前述したように、ワード線読取り111およびワード線書込み113を実現するためにワード線デコーダ502を構成することができるだろう。

【0032】CPU610は、図6に示すデータ処理システム613の一部にすることができます。

【0033】本発明を実施するための代表的なハードウェア環境を図6に示すが、同図は、従来のマイクロプロセッサなどの中央演算処理装置(CPU)610と、システム・バス612を介して相互接続された複数の他のユニットとを有する、本発明によるデータ処理システム613の典型的なハードウェア構成を示している。システム613は、ランダム・アクセス・メモリ(RAM)614と、読取り専用メモリ(ROM)616と、ディスク・ユニット620およびテープ・ドライブ640などの周辺装置をバス612に接続するための入出力アダプタ618と、キーボード624、マウス626、タッチ画面装置(図示せず)などの他のユーザ・インターフェース装置をバス612に接続するためのユーザ・インターフェース・アダプタ622と、システム613をデータ

処理ネットワークに接続するための通信アダプタ634と、バス612をディスプレイ装置638に接続するためのディスプレイ・アダプタ636とを含む。CPU610はここに図示しない他の回路を含むことができるが、このような回路としては、実行ユニット、バス・インターフェース・ユニット、演算論理ユニットなど、マイクロプロセッサ内に一般に見られる回路を含む。また、CPU610は單一集積回路上に設けることもできる。

#### 【図面の簡単な説明】

【図1】本発明によるSRAMセルを示す図である。

【図2】本発明によるSRAMセルを使用したアレイを示す図である。

【図3】本発明のSRAMセルへの書き込みのためのタイミング図である。

【図4】本発明によるアレイ構成を示す図である。

【図5】本発明により構成されたメモリ・サブシステムを示す図である。

【図6】本発明により構成されたデータ処理システムを示す図である。

【図7】従来技術のメモリ・セルを示す図である。

【図8】従来技術のシングルエンデッドSRAMメモリ・セルを示す図である。

【図9】従来技術のシングルエンデッドSRAMメモリ・セルを示す図である。

【図10】従来技術のマルチポート・メモリ・セルを示す図である。

【図11】従来技術のマルチポート・メモリ・セルを示す図である。

【図12】本発明により構成されたマルチポート・メモリ・セルを示す図である。

#### 【符号の説明】

100 メモリ・セル

101 トランジスタ

102 トランジスタ

103 トランジスタ

104 トランジスタ

105 トランジスタ

106 ノード

107 ノード

108 トランジスタ

109 デバイス

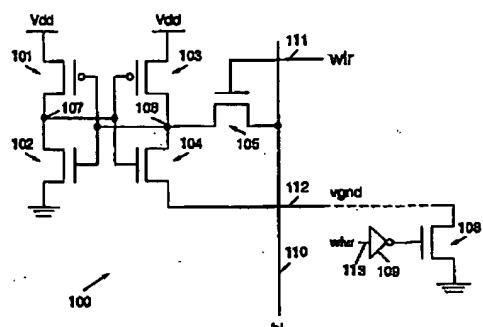
110 ビット線

111 ワード線読取り(w1r)

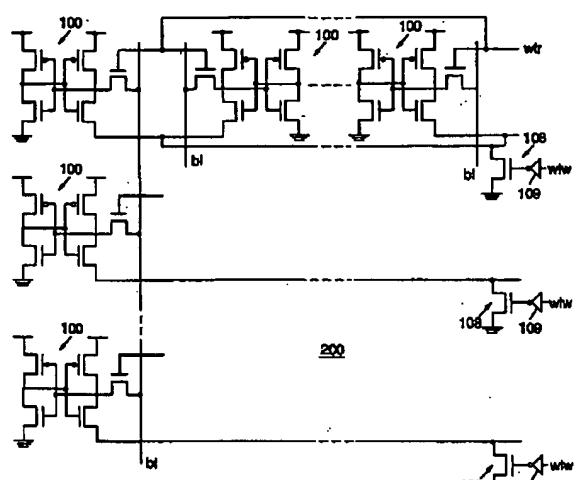
112 制御済みインピーダンス・ノード(vgnd)

113 ワード線書込み(w1w)

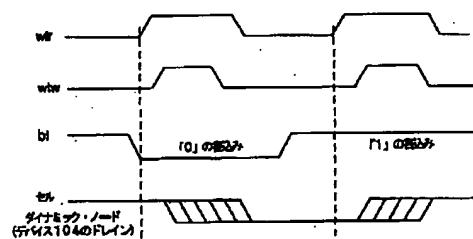
【図1】



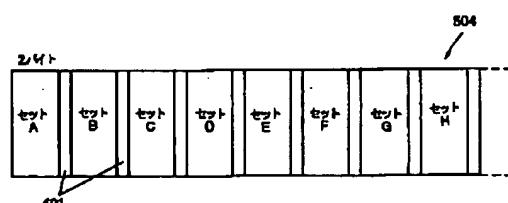
【図2】



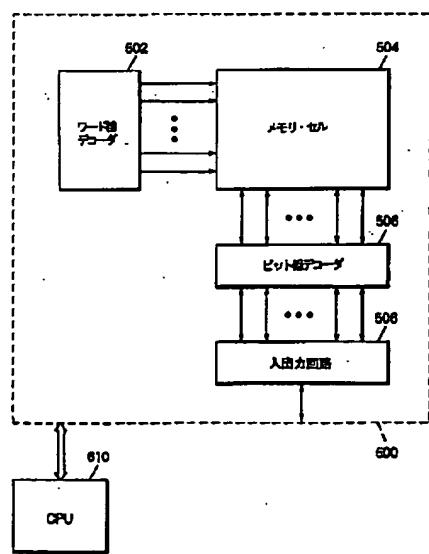
【図3】



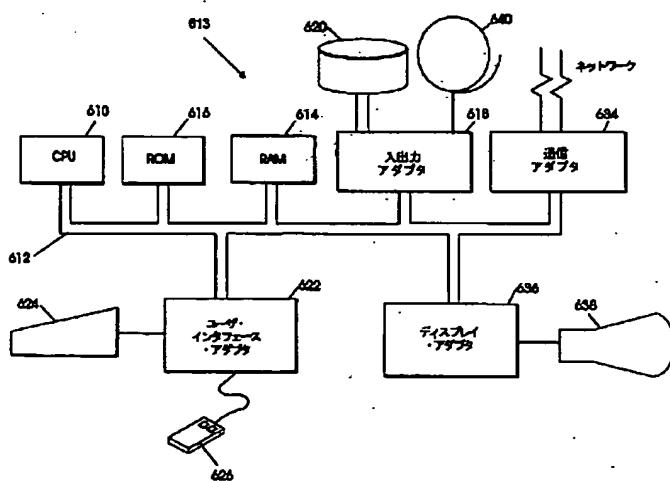
【図4】



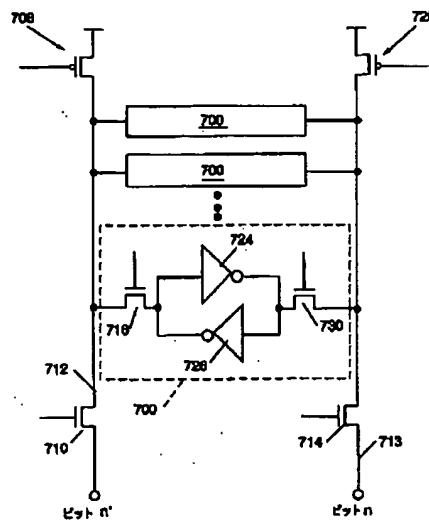
【図5】



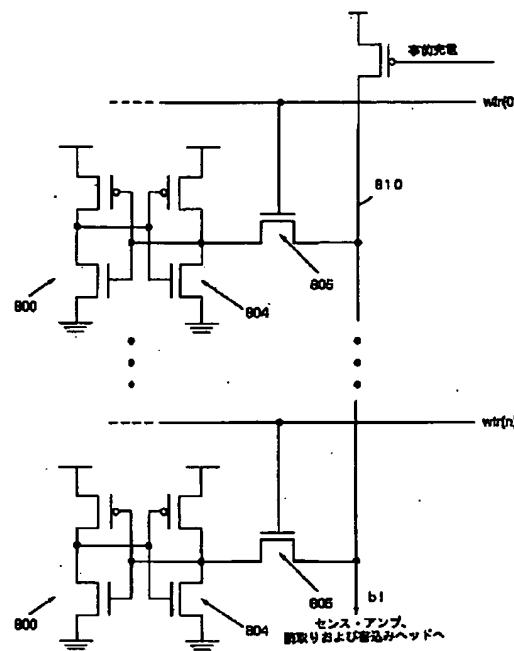
【図6】



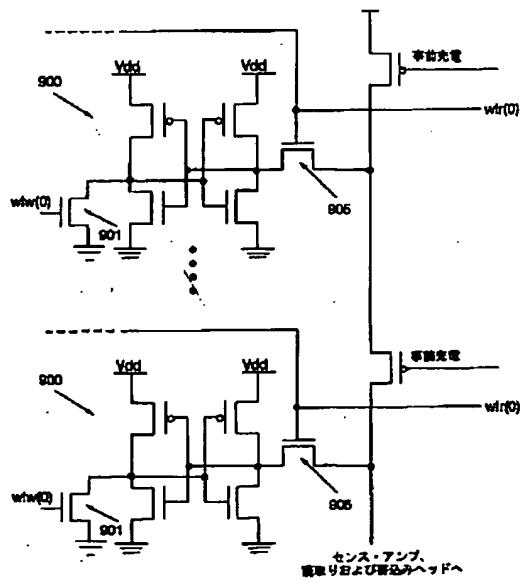
【図7】



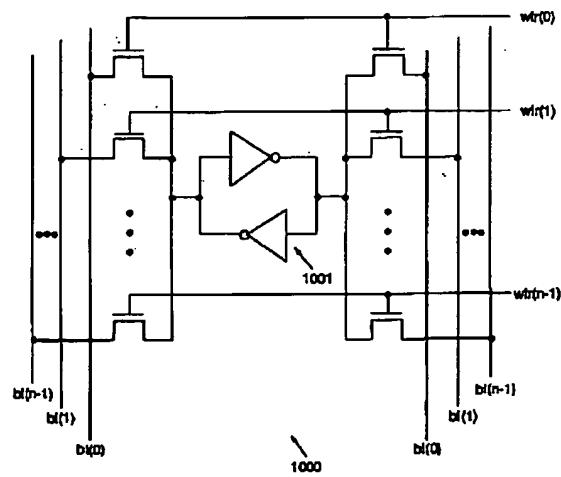
【図8】



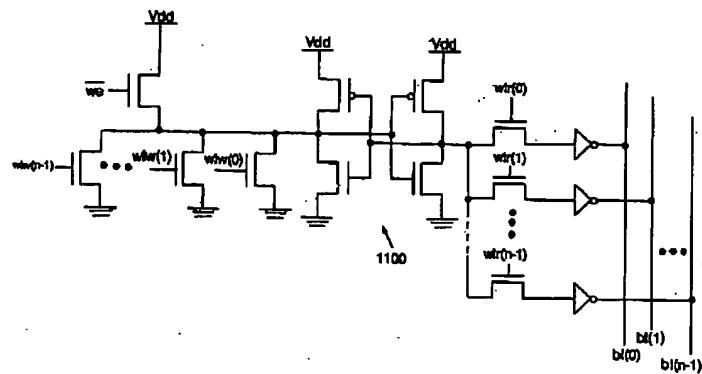
【図9】



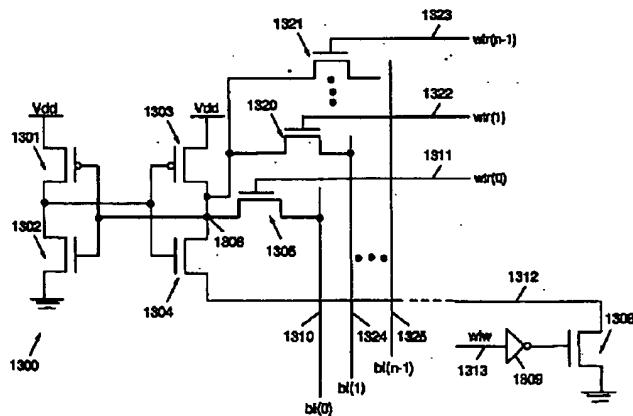
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 テリー・エル・レジャー

アメリカ合衆国787828 テキサス州ジョー  
ジタウン オーク・クレスト・レーン

453

(72)発明者 ガス・ダブリュー・ユング

アメリカ合衆国787448 テキサス州オース  
チン ピルブルック・プレース 10600